

First Hit



Generate Collection

Print

L13: Entry 4 of 6

File: JPAB

Oct 21, 1994

PUB-NO: JP406295594A
DOCUMENT-IDENTIFIER: JP 06295594 A
TITLE: SEMICONDUCTOR STORAGE DEVICE

PUBN-DATE: October 21, 1994

INVENTOR-INFORMATION:

NAME

COUNTRY

SHIMIZU, SHIN

ASSIGNEE-INFORMATION:

NAME

COUNTRY

NIPPON STEEL CORP

APPL-NO: JP05107302

APPL-DATE: April 9, 1993

INT-CL (IPC): G11C 29/00

ABSTRACT:

PURPOSE: To make a defective memory cell recoverable on the spot at the time of testing.

CONSTITUTION: Antifuses 17, 24 and transistors 16, 23 are provided between a power supply terminal 13, 20 to which an operating voltage is ordinarily supplied and the ground. Also, a resistor 7 is provided by which the output signal is shifted for each rescuing process, and a transistor 22 by which the output signal is inputted in a control terminal is provided between the transistor 23 and the power supply terminal. A signal from an address selecting means 5 is inputted in the control terminals of the transistors 16, 23. Also, a high voltage is supplied to the power supply terminal at the time of rescuing process. By an defective address information, the transistors 16, 23 are turned on at the time of the rescuing process, the fuse 17 is conducted to inactivate a defective memory cell array 1, the antifuse 17 is inactivated which is connected to the transistor 22 of which a signal is outputted from the resistor, and a redundant memory cell array 2 is inactivated. Consequently, the handling time is saved concerning the selection of the redundant memory cell array at the time of rescuing process, and the operation efficiency is enhanced.

COPYRIGHT: (C)1994,JPO

(11)特許出願公開番号

特開平6-295594

(43)公開日 平成6年(1994)10月21日

(51) Int. Cl.⁵
G 1 1 C 29/00

識別記号 301 B 庁内整理番号 6866-5L

FI

技術表示箇所

審査請求 未請求 請求項の数 2 FD (全 7 頁)

(21)出願番号 特願平5-107302

(22)出願日 平成5年(1993)4月9日

(71)出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町2丁目6番3号

(72)発明者 清水 伸

相模原市淵野辺 5-10-1 新日本製鐵株
式会社エレクトロニクス研究所内

(74)代理人 弁理士 大島 陽一

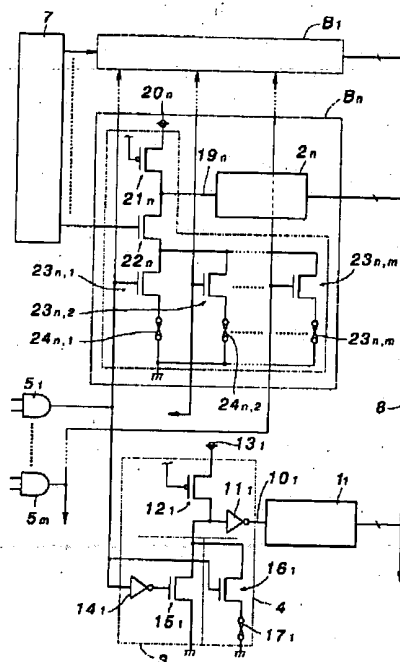
(54)【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 テスト時にその場で不良メモリセルアレーを救済可能とする。

【構成】 通常は動作電圧が供給される電源端子13、20と接地との間にアンチフューズ17、24とトランジスタ16、23とを設ける。また、救済処理毎にその出力信号をシフトするレジスタ7を設け、その出力信号を制御端子に入力するトランジスタ22を、トランジスタ23と電源端子との間に設ける。トランジスタ16、23の制御端子にはアドレス選択手段5からの信号を入力する。また、電源端子は、救済処理時に高電圧が供給される。救済処理時には不良アドレス情報によりトランジスタ16、23がオン状態となり、フューズ17を導通して不良メモリセルアレー1を不活性化し、レジスタより信号が出力されているトランジスタ22に接続されたアンチフューズ17を導通して、冗長メモリセルアレー2を活性化する。

【効果】 救済処理時の冗長メモリセルアレーの選択に関する手間が省け、作動効率が向上する。



1

【特許請求の範囲】

【請求項1】 複数のメモリセルから構成される複数の正規メモリセルアレーと、

前記各正規メモリセルアレーの予備として設けられた複数の冗長メモリセルアレーと、

前記各正規メモリセルアレーにアドレス情報を選択的に与えるアドレス選択手段よりのアドレス情報に応じて前記各正規メモリセルアレーを活性化するための該正規メモリセルアレー毎に設けられた正規メモリセルアレー活性化手段と、

前記各正規メモリセルアレー活性化手段の作動を禁止するための該正規メモリセルアレー活性化手段毎に設けられた正規メモリセルアレー活性化禁止手段と、

前記アドレス情報による前記各冗長メモリセルアレーの活性化を禁止するための該冗長メモリセルアレー毎に設けられた冗長メモリセルアレー活性化禁止手段と、

前記各冗長メモリセルアレー活性化禁止手段のいずれか1つを選択するための冗長メモリセルアレー選択手段とを有し、

前記正規メモリセルアレーが不良であった場合には、外部より加えられる信号により、前記アドレス情報が与えられた前記正規メモリセルアレー活性化手段に設けられた前記正規メモリセルアレー活性化禁止手段を動作させ、前記冗長メモリセルアレー選択手段により選択され、かつ当該アドレス情報が与えられた前記冗長メモリセルアレー活性化禁止手段を解除することを特徴とする半導体記憶装置。

【請求項2】 前記両禁止手段が、前記アドレス情報に応じてオン・オフするスイッチング素子と、該スイッチング素子により電圧供給がなされ、かつ両端に高電圧を印加することにより永久的に導通状態となるアンチフューズとを有することを特徴とする請求項1に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体記憶装置に関し、特に、メモリセルアレーの欠陥を修復できるように予備のメモリセルアレーを有する半導体記憶装置に関する。

【0002】

【従来の技術】例えば、半導体記憶装置では、製造プロセスの過程で結晶欠陥が生じることがあり、結晶欠陥による不良ビットを救済のために正規メモリセルアレーの他に冗長メモリセルアレーを用意することが一般的に行われている。

【0003】図4に、通常の半導体記憶装置で使用される不良ビット救済のための回路システムを概略的に示す。この図に示される1(1₁~1_n)及び2(2₁~2_n)は複数のメモリセルから構成されたメモリセルアレーであって、この場合、1は正規メモリセルアレー、

2

2は冗長メモリセルアレーである。これらのメモリセルアレーは、各入力ライン10(10₁~10_n)及び19(19₁~19_n)がロー(L)レベル、即ち接地電位レベルの時に活性化されるものであり、活性化されたメモリセルアレーにデータライン8の信号状態が書き込み/読み出される。そして、各トランジスタ12(12₁~12_n)及び21(21₁~21_n)によって、各メモリセルアレー1、2がプリチャージされている。アドレス情報を発生させるアドレス選択手段5(5₁~5_n)からのアドレス選択信号が各トランジスタ31(31₁~31_n)に入力されると共に、各トランジスタ32{(32_{1,1}, 32_{1,m})~(32_{n,1}~32_{n,m})}へも入力される。そして、各トランジスタ12と31との間にはそれぞれレーザーフューズ34(34₁~34_m)が接続されている。同様に各トランジスタ21と32との間にもレーザーフューズ35{(35_{1,1}, 35_{1,m})~(35_{n,1}~35_{n,m})}が接続されている。

【0004】上記のように構成された半導体記憶装置は出荷前に不良メモリセルが存在するか否かをテストする。このテストには種々な方法が用いられるが、一般的には、各正規メモリセルアレー1に対して所定のテストデータの書き込み/読み出しを行い、書き込まれたテストデータが正確に読み出されたか否かをメモリテスト等を用いてテストする。このテストにより、正規メモリセルアレー1内に不良ビットが検出された場合には、その不良が検出されたアドレス情報に基づいて、レーザーリペア装置なるものを用いて、不良が発生している正規メモリアレー1に接続されたレーザーフューズ34をレーザーカットし、更に冗長メモリセルアレー1に接続されたレーザーフューズ35のいずれか1つをレーザーカットする。例えば、正規メモリセルアレー1₁に不良が発生していると検出された場合には、先ずレーザーフューズ31₁をレーザーカットし、次に複数ある冗長メモリセルアレー2のいずれかを任意に選択して、例えば冗長メモリセルアレー2_nを選択した場合にはレーザーフューズ35_{n,1}をレーザーカットすることで、冗長メモリセルアレー2_nを正規メモリセルアレー1₁の代用として用いるようにされている。

【0005】

【発明が解決しようとする課題】しかしながら、不良メモリセルアレー1の救済措置として、レーザーリペア装置を用いることは、テスト時とは違うステップが行われることから、装置の変更を余儀なくされる関係上、テスト時にその場で救済処置を施すことは困難である。また、テストにより発見された不良メモリセルアレー1に接続されたフューズ31を切断し、更に複数の冗長メモリアレー2のいずれかを選択し、その選択された冗長メモリアレー2に接続されたフューズ35の中から、不良メモリセルアレー1が接続されているアドレス設定手段5に接続されているトランジスタ32に接続されたフューズ32に接続されたフューズ32_{1,1}~32_{1,m}~32_{n,1}~32_{n,m}のいずれかを切断し、更に冗長メモリセルアレー2に接続されたフューズ35の中から、不良メモリセルアレー1が接続されているアドレス設定手段5に接続されているトランジスタ32に接続されたフューズ35_{n,1}~35_{n,m}のいずれかを切断することで、冗長メモリセルアレー2_nを正規メモリセルアレー1₁の代用として用いるようにされている。

ーズを切断することで救済処理が施されることから、それらのフューズのレイアウト情報を予めレーザーリペア装置に入力しなければならないため、作業が煩雑となり易かった。そして、デバイスのレイアウト情報はメモリ容量等によって異なるものであって、例えば、1Mのメモリと4Mのメモリとではそのレイアウトは大きく異なることから、デバイス毎にレーザーリペア装置に入力するレイアウト情報を変更しなければならない、これもまた煩雑なことである。特に、救済処理時にどの冗長メモリセルアレーを選択するかという点に於いては、現状では人為的な判断或いはその判断のためのアルゴリズムをリペア装置にプログラムしなければならない、いずれに於いても作業効率の悪化を招く要因となり易かった。

【0006】このような従来技術の問題点に鑑み、本発明の主な目的は、不良メモリアレーの救済処理を簡単かつ迅速に行うことができる半導体記憶装置を提供することにある。

【0007】

【課題を解決するための手段】このような目的は、本発明によれば、複数のメモリセルから構成される複数の正規メモリセルアレーと、前記各正規メモリセルアレーの予備として設けられた複数の冗長メモリセルアレーと、前記各正規メモリセルアレーにアドレス情報を選択的に与えるアドレス選択手段よりのアドレス情報に応じて前記各正規メモリセルアレーを活性化するための該正規メモリセルアレー毎に設けられた正規メモリセルアレー活性化手段と、前記各正規メモリセルアレー活性化手段の作動を禁止するための該正規メモリセルアレー活性化手段毎に設けられた正規メモリセルアレー活性化禁止手段と、前記アドレス情報による前記各冗長メモリセルアレーの活性化を禁止するための該冗長メモリセルアレー毎に設けられた冗長メモリセルアレー活性化禁止手段と、前記各冗長メモリセルアレー活性化禁止手段のいずれか1つを選択するための冗長メモリセルアレー選択手段とを有し、前記正規メモリセルアレーが不良であった場合には、外部より加えられる信号により、前記アドレス情報が与えられた前記正規メモリセルアレー活性化手段に設けられた前記正規メモリセルアレー活性化禁止手段を作動させ、前記冗長メモリセルアレー選択手段により選択され、かつ当該アドレス情報が与えられた前記冗長メモリセルアレー活性化禁止手段を解除することによって達成される。更に、前記両禁止手段が、前記アドレス情報に応じてオン・オフするスイッチング素子と、該スイッチング素子により電圧供給がなされ、かつ両端に高電圧を印加することにより永久的に導通状態となるアンチフューズとを有すればなお良い。

【0008】

【作用】このようにすれば、通常は正規メモリセルアレー活性化手段がアドレス情報に応じて正規メモリセルア

レーを活性化し、また冗長メモリセルアレー活性化禁止手段が当該アドレス情報による冗長メモリセルアレーの活性化を禁止しているため、アドレス指定された正規メモリセルアレーにのみ活性化されることとなる。この正規メモリセルアレーに不良が発生していた場合には、アドレス情報が与えられた正規メモリセルアレー活性化手段に設けられた禁止手段及び、当該アドレス情報が与えられた複数の冗長メモリセルアレー活性化禁止手段に、所定の外部信号を与えることで、前者が動作されて正規メモリセルアレーの活性化を禁止すると共に、該複数の冗長メモリセルアレーの中から冗長メモリアレー選択手段により選択された冗長メモリセルアレーに設けられた冗長メモリセルアレー活性化禁止手段を解除することから、前記とは逆に正規メモリセルアレーはアドレス情報には関係なく常に不活性化され、代わって当該冗長メモリセルアレーがアドレス情報に応じて活性化される。詳しくは、正規メモリセルアレー選択的活性化禁止手段と冗長メモリセルアレー活性化禁止手段とに設けられた各スイッチ手段が、同一のアドレス情報に応じてオン・オフすることから、不良発生時にはアドレス指定されたスイッチ手段がオン状態となり、当該スイッチ手段に接続されたアンチフューズの両端に高電圧が印加するように外部信号が与えられることから、アンチフューズを導通することができる。よって、一方では正規メモリセルアレー選択的活性化手段の動作を禁止することができ、他方ではアドレス情報に応じて冗長メモリセルアレーを活性化することができるため、不良が発生している正規メモリセルアレーに代わって冗長メモリセルアレーが活性化される。

【0009】

【実施例】以下、本発明の好適実施例を添付の図面について詳しく説明する。

【0010】図1は、本発明が適用された半導体記憶装置の要部の概略を示すブロック図である。複数のメモリセルから構成される複数のメモリセルアレーのうち1

(1₁～1_n)はアドレス情報に応じて選択的に活性化される正規メモリセルアレーであって、これら正規メモリセルアレー1の冗長手段として、複数の冗長メモリセルアレー2(2₁～2_n)が設けられている。正規メモリセルアレー1には、アドレス情報によりこれらアレー1を選択的に活性化するための正規メモリセルアレー活性化手段3(3₁～3_n)がそれぞれが接続されいと共に、これら正規メモリセルアレー活性化手段3の作動を禁止するための正規メモリセルアレー活性化禁止手段4(4₁～4_n)がそれぞれ接続されている。そして、アドレス選択手段5(5₁～5_n)からのアドレス選択信号、例えば5₁から信号が出力された場合には、正規メモリセルアレー1₁のみが活性化するようになっている。

【0011】冗長メモリセルアレー2には、アドレス情報によるこれらアレー2の活性化を禁止するための冗長

メモリセルアレー活性化禁止手段6(6₁~6_n)がそれぞれ接続されている。これら冗長メモリセルアレー活性化禁止手段6には、前記アドレス選択手段5がそれぞれ接続されていると共に、冗長メモリアレー選択手段7がそれぞれ接続されている。そして、これら全てのメモリセルアレー1、2にはデータライン8が共通に接続されている。また、各正規メモリセルアレー活性化禁止手段4及び冗長メモリセルアレー活性化禁止手段6には、それらの動作状態を変化させるための信号9が外部より入力されるようになっている。

【0012】次に、図2は前述したブロック構成をその一部を半導体素子に置き換えて部分的に示す図である。正規メモリセルアレー1、及びそれに接続された3、4で構成されるブロックは、全ての正規メモリセルアレー毎のブロックと同様の構成をとることから、ここでは正規メモリセルアレー1₁のブロックについてのみ説明し、その他の正規メモリセルアレー毎のブロックについては、その説明を省略する。同様に、冗長メモリセルアレー2、及びそれに接続された6で構成されるブロックは、全ての冗長メモリセルアレー毎のブロックと同様の構成をとることから、ここでは冗長メモリセルアレー2_nのブロックについてのみ説明し、その他の冗長メモリセルアレー毎のブロックについては、その説明を省略する。

【0013】複数の正規メモリセルアレー1の1つである正規メモリセルアレー1₁は、その入力ライン10₁(ワードライン、コラムライン等)がロー(L)レベルとなることで活性化されるものであり、通常はインバータ11₁及びプリチャージ用トランジスタ12₁を介して電源端子13₁に供給されている電源電位レベル(Hレベル)に維持されて不活性化されている。アドレス選択手段5₁からのアドレス情報に応じて、この正規メモリセルアレー1₁を活性化するべく該手段5₁の出力には、インバータ14₁を介してトランジスタ15₁のゲートが接続されている。よって、正規メモリセルアレー1₁がアドレス指定された場合には、アドレス選択手段5₁の出力がハイ(H)レベルとなり、オン状態であったトランジスタ15₁がオフ状態となって、そのドレイン側を高インピーダンス状態とする。したがって、インバータ11₁を介して正規メモリセルアレー1₁の入力ライン10₁がLレベルとなることから、該アレー1₁が活性化される。

【0014】また、トランジスタ15₁には、前記アドレス選択手段5₁の出力にそのゲートが接続されているトランジスタ16₁が並列接続されている。そしてトランジスタ16₁のソースと接地間には、アンチフューズ17₁が接続されている。アンチフューズ17₁は、通常の電源電圧ではその抵抗値が極めて高いものであるが、その両端に高電圧を印加すると抵抗値が低くなりフューズ両端を導通状態とし、一度導通するとその状態を維持

するものである。したがって、アンチフューズ17₁が非導通状態にあつては、トランジスタ16₁のドレイン側は高インピーダンス状態を維持される。そして、アンチフューズ17₁が導通状態の場合には、アドレス選択手段5₁よりのHレベルの信号を受けて、トランジスタ17₁をオン状態として正規メモリセルアレー1₁の活性化を禁止している。

【0015】次に、複数の冗長メモリセルアレー2の1つである冗長メモリセルアレー2_nは、その内部構成を正規メモリセルアレー1と同じくし、その入力ライン19_nがプリチャージ用トランジスタ21_nを介して、前記した電源端子13に接続された電源端子20_nに接続されていることから、通常はHレベルに維持されて冗長メモリセルアレー2_nを不活性化している。入力ライン19_nには、そのゲートが選択手段7に接続されたトランジスタ22_nのドレインが接続されている。トランジスタ22_nのソースには、そのゲートが各アドレス選択手段5₁~5_nの出力に接続されたトランジスタ23_{n,1}~23_{n,n}のドレインがそれぞれ接続されている。そしてこれらトランジスタ23_{n,1}~23_{n,n}と接地との間には、前記したアンチフューズ17と同様なアンチフューズ24_{n,1}~24_{n,n}がそれぞれ接続されている。したがって、これらのアンチフューズ24_{n,1}~24_{n,n}が非導通状態であれば、アドレス選択手段5よりのHレベル信号によってトランジスタ23_{n,1}~23_{n,n}がオン状態となっても、トランジスタ22_nがオン状態であっても冗長メモリセルアレー2_nは活性化されない。逆に、アンチフューズ24_{n,1}~24_{n,n}のいずれか1つが導通状態であれば、その導通状態であるアンチフューズに接続されたトランジスタがオン状態となった場合にのみ、冗長メモリセルアレー2_nが活性化されるようになっている。これら冗長メモリセルアレー2_nとトランジスタ21_n、22_n、23_{n,1}~23_{n,n}とアンチフューズ24_{n,1}~24_{n,n}とから冗長メモリセルアレー2_nの冗長ブロックB_nが構成されている。

【0016】選択手段7は、図3にブロック図で示されるように、直列に接続されたレジスタ7₁~7_nで構成されており、各レジスタ7₁~7_nには、後記する救済処理時に所定のタイミングをもって発せられる外部信号25を入力するための外部制御入力端子をそれぞれ備えており、この外部信号の入力毎にレジスタ内部のデータが1ビットシフトする。また、各レジスタ7₁~7_nの出力は、各冗長ブロックB(B₁~B_n)に接続されている。そして、各レジスタのうち、その内部データが「1」となっているレジスタに接続されたトランジスタ22(22₁~22_n)のみをオン状態とすることができる。また各レジスタ7₁~7_nには、この半導体記憶装置が製品として出荷される際に、全てのレジスタの出力をHレベルとするように、これもまた外部信号26を入力するための外部制御入力端子が備えられている。

【0017】次に本発明の作動要領について説明する。

【0018】先ず基本作動を説明すると、各プリチャージ用トランジスタ12、21はプリチャージサイクルの間オン状態を維持する。今、正規メモリセルアレー1が全てアドレス指定されていない場合、アドレス選択手段5の出力がLレベルとなっていることから、各インバータ14(14₁~14_n)を介して各トランジスタ15(15₁~15_n)のゲートがHレベルとなり、これら各トランジスタ14がオン状態となる。したがって、各正規メモリアレー1の入力ライン10にはインバータ11(11₁~11_n)を介していることからそれぞれHレベルとなって、各正規メモリセルアレー1は不活性化される。この時、各冗長メモリセルアレー2についても、トランジスタ23{(23_{1,1}、~23_{1,n})~(23_{n,1}~23_{n,n})}が全てオフ状態であることから、不活性化されている。

【0019】そこで、正規メモリセルアレー1₁がアドレス指定された場合には、アドレス選択手段5₁の出力がHレベルとなることから、トランジスタ15₁はオフ状態となり、代わってトランジスタ16₁及び23_{1,1}~23_{n,1}がオン状態となる。この際、アンチフューズ17₁は非導通状態であることから、トランジスタ16₁のドレイン側は高インピーダンス状態を引き続き保持することとなる。したがって、正規メモリセルアレー1₁の入力がLレベルとなることから、複数ある正規メモリセルアレーの中からこのメモリセルアレー1₁のみが活性化される。(他の正規メモリアレー1がアドレス指定された場合については、上記説明を参照されたい)。同様に、トランジスタ22及び23_{1,1}~23_{n,1}はオン状態ではあるが、アンチフューズ24{(24_{1,1}、~24_{1,n})~(24_{n,1}~24_{n,n})}が全て非導通状態であれば、入力ライン19(19₁~19_n)が全てHレベルとなることから、全ての冗長メモリセルアレーは活性化されない。

【0020】このように作動する各正規メモリセルアレー1を含む本装置を製品として出荷する前に、正常に動作するか否かを各メモリセルアレー毎にテストする。このテストによって、例えばメモリセルアレー1内に不良が発生していると検出されたとする。この場合には、その場で救済処理が施されることとなる。今、不良を検出した際のアドレス指定のままの状態とし、よってアドレス選択手段5₁の出力がHレベルに維持される。次に、電源端子13₁に入力されていた電圧値(通常は5Vに維持されている)を高電圧、例えば18Vに引き上げる。すると、トランジスタ12₁、16₁がオン状態であることから、アンチフューズ17₁の両端に高電圧が印加されることとなる。その結果、アンチフューズ17₁は導通状態となり、よってトランジスタ16₁のドレイン側が低インピーダンス状態となる。したがって、正規メモリセルアレー1₁の入力ライン10₁がHレベルとな

ることから、アドレス選択手段5₁の出力がHレベルであるにも係らずこの正規メモリセルアレー1₁は不活性化されてしまう。

【0021】また、各冗長ブロックB内の各トランジスタ23_{1,1}~23_{n,1}のゲートにもアドレス選択手段5₁の出力が与えられていることから、これらトランジスタ23_{1,1}~23_{n,1}は全てオン状態となっている。ここで、各トランジスタ23_{1,1}~23_{n,1}はオン状態であるが、それらのドレインに接続されたトランジスタ22は、選択手段7により選択された1つのトランジスタ22のみがオン状態となっていることから、トランジスタ23_{1,1}~23_{n,1}のドレインが電源端子20に接続されているとは限らない。即ち、各レジスタ7が、その内部データ「1」をもつレジスタに接続されたトランジスタ22のみがオン状態となれることから、そのオン状態であるトランジスタ22に接続されたトランジスタ23_{1,1}~23_{n,1}のドレインが電源端子に接続されることとなる。説明上、レジスタ7_nの内部データが「1」であるとする、このレジスタ7_nの出力に接続されたトランジスタ22_nがオン状態となる。すると、トランジスタ21_n、22_n、23_{n,1}がオン状態であることからアンチフューズ24_{n,1}は電源間に接続されたこととなる。上記のように、電源端子20が高電圧に引き上げられていることから、アンチフューズ24_{n,1}は導通状態となる。したがって、冗長メモリセルアレー2_nの入力がLレベルとなることから、この冗長メモリセルアレー2_nは活性化される。ここで、このブロックB_n内の他のアンチフューズ24_{n,2}~24_{n,n}の両端の電位を考察してみると、これらのフューズを電源端子に接続するべく各トランジスタ23_{n,2}~23_{n,n}のゲートがLレベルであることから、これらトランジスタ全てがオフ状態となり、よってフューズの両端には高電圧が印加されることがない。したがって、正規メモリセルアレー1₁に対するアドレス指定がなされた場合には、冗長メモリセルアレー2_nが活性化されるわけである。

【0022】正規メモリセルアレー1₁の救済が終了すると、選択手段7には外部信号25が入力されて、レジスタ7_nの内部データがレジスタ7₁へとシフトされ、トランジスタ22_nがオフ状態となる。したがって、冗長メモリセルアレー2_nが再び正規メモリセルアレーの救済対象とはなり得ない。そして、全てのメモリセルアレーの救済処理が終了した際に、選択手段7へ外部信号26を供給し、全てのレジスタ7₁~7_nの出力をHレベルとする。

【0023】このように、正規メモリセルアレーに不良が検出された場合には、その不良メモリセルアレーに代わって冗長メモリセルアレーがアドレス指定されることから、製品としては何等支障のない半導体記憶装置を出荷することができ、歩留まりを向上することができる。そして、本発明によれば、メモリテストをした際に、不

【図面の簡単な説明】

【図１】本発明が適用された半導体記憶装置の要部の概略を示すブロック図である。

【図2】図1のブロック構成を、一部を半導体素子に置き換えて示す図である。

【図4】従来の半導体記憶装置の要部の概略を示す図である。

1 正規メモリセルアレー

3. 正規メモリセルアレー活性化手段

4 正規メモリセルアレー活性化禁止手段

5 アドレス選択手段

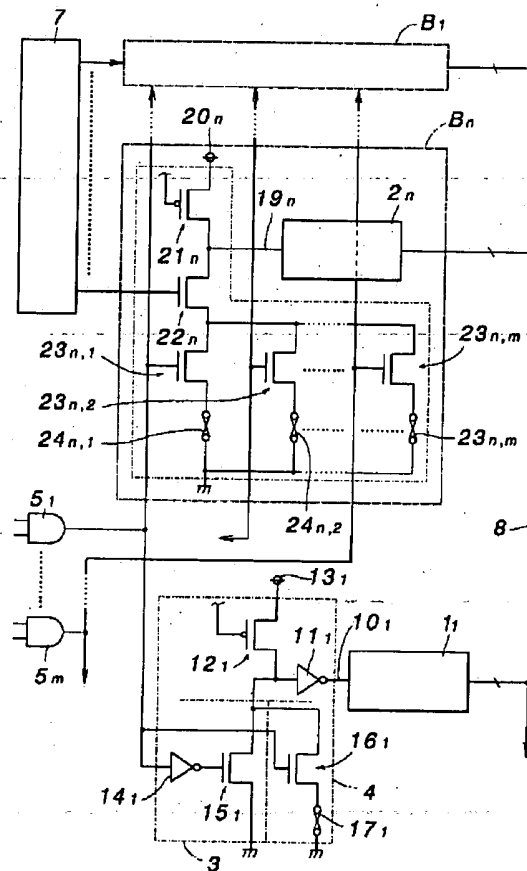
6 冗長メモリセルアレー活性化禁止手段

7 冗長メモリセルアレー選択手段

16、23 スイッチ手段

17、24 アンチフューズ

【図2】



【図4】

